

This Page Is Inserted by IFW Operations
and is not a part of the Official Record

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- BLACK BORDERS
- TEXT CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT
- ILLEGIBLE TEXT
- SKEWED/SLANTED IMAGES
- COLORED PHOTOS
- BLACK OR VERY BLACK AND WHITE DARK PHOTOS
- GRAY SCALE DOCUMENTS

IMAGES ARE BEST AVAILABLE COPY.

**As rescanning documents *will not* correct images,
please do not report the images to the
Image Problem Mailbox.**

STORAGE DEVICE

Patent Number: JP2001051896
Publication date: 2001-02-23
Inventor(s): IGUCHI SHINYA; TAMURA TAKAYUKI; KATAYAMA KUNIHIRO; NAKAMURA KAZUO
Applicant(s): HITACHI LTD
Requested Patent: JP2001051896
Application Number: JP19990221398 19990804
Priority Number(s):
IPC Classification: G06F12/06; G06F3/08; G06F12/00; G06F12/02; G06F12/08
EC Classification:
Equivalents:

Abstract

PROBLEM TO BE SOLVED: To make fast the transfer of data between a buffer and a flash memory by inputting and outputting data to and from a memory module at higher speed.

SOLUTION: The memory module 4 is constituted by connecting the buffer 3 to flash memories 2 by a bus 9. The memory modules 4 are connected to a controller module 1 by an internal bus 8 to constitute an auxiliary storage device 5. A host system 6 sends a request to access data to the auxiliary storage device 5 through a bus 7. The controller module 1 sends an indication to multiple memory modules 4 at the same time to send and receive data to and from the flash memories 2 in parallel through the buffer 3.

Data supplied from the esp@cenet database - I2

A2

(19)日本国特許庁(JP)

(12)公開特許公報(A)

(11)特許出願公開番号
特開2001-51896
(P2001-51896A)

(43)公開日 平成13年2月23日(2001.2.23)

(51)Int.Cl.	識別記号	FI	特コード(参考)
G06F 12/06	525	G06F 12/06	525A 5B005
3/08		3/08	H 5B060
12/00	560	12/00	560B 5B065
12/02	560	12/02	560C
12/08		12/08	D

審査請求 未請求 請求項の数8 OL (全16頁) 最終頁に続く

(21)出願番号 特願平11-221398

(22)出願日 平成11年8月4日(1999.8.4)

(71)出願人 000005108

株式会社日立製作所

東京都千代田区神田駿河台四丁目6番地

(72)発明者 井口 慎也

神奈川県川崎市麻生区王禅寺1099番地 株

式会社日立製作所システム開発研究所内

(72)発明者 田村 隆之

神奈川県川崎市麻生区王禅寺1099番地 株

式会社日立製作所システム開発研究所内

(74)代理人 100078134

弁理士 武 頼次郎

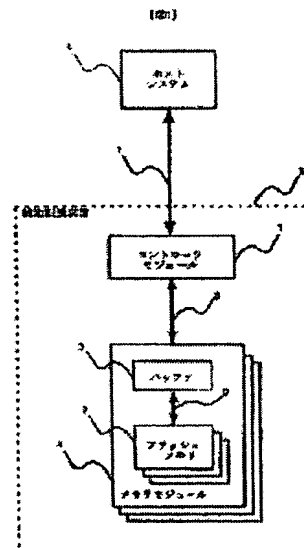
最終頁に続く

(54)【発明の名称】 記憶装置

(57)【要約】

【課題】 メモリモジュールに対するデータの入出力を高速化し、バッファとフラッシュメモリとの間のデータの転送を高速化する。

【解決手段】 複数のフラッシュメモリ2に対してバッファ3をバス8で接続してメモリモジュール4を構成する。このメモリモジュール4を複数の内部バス8でコントローラモジュール1に接続して補助記憶装置5を構成する。ホストシステム6は、バス7を介して補助記憶装置5にデータのアクセスの要求を出す。コントローラモジュール1は、同時に複数のメモリモジュール4に対して指示を出し、並列にバッファ3を介してフラッシュメモリ2とのデータの通受を行う。



【特許請求の範囲】

【請求項 1】 フラッシュメモリを使用して構成する記憶装置において、複数のフラッシュメモリ及びデータを一時的に保持するための揮発性メモリを用いたバッファ1個から構成されるメモリモジュールと、該メモリモジュールの複数個及びそれらを制御するためのコントロールモジュール1個とから構成したことを特徴とする記憶装置。

【請求項 2】 前記メモリモジュールは、フラッシュメモリから予め次に読み込まれると予測されるデータを読み出し、バッファへ転送する先読みを行う手段を有することを特徴とする請求項 1記載の記憶装置。

【請求項 3】 前記複数のフラッシュメモリとバッファとは、複数系統のデータバス及び信号バスにより接続されており、前記複数のフラッシュメモリは、並列に動作してバッファとの間でデータの授受を行うことを特徴とする請求項 1記載の記憶装置。

【請求項 4】 前記コントロールモジュールと複数のメモリモジュールとは、複数系統のデータバス及び信号バスにより接続されており、前記複数のメモリモジュールは、並列に動作してコントロールモジュールとの間でデータの授受を行うことを特徴とする請求項 1記載の記憶装置。

【請求項 5】 コントロールモジュールからメモリモジュールにデータの読み出し要求があった場合、前記メモリモジュールは、要求されているデータがメモリモジュールのバッファに存在するかどうかを判定し、存在すればバッファ内のデータを転送し、そうでなければフラッシュメモリからデータを読み出して転送することを特徴とする請求項 1記載の記憶装置。

【請求項 6】 前記メモリモジュールは、フラッシュメモリからデータを読み出してコントロールモジュールに転送した後、後続するデータの先読みすることを特徴とする請求項 5記載の記憶装置。

【請求項 7】 コントロールモジュールからメモリモジュールにデータの書き込み要求があった場合、前記メモリモジュールは、メモリモジュール内のバッファに書き込みデータを保存するための領域を確保し、バッファ内に書き込みデータを一時的に保存し、その後、バッファ内に書き込んだデータをフラッシュメモリへ書き込むことを特徴とする請求項 1記載の記憶装置。

【請求項 8】 コントロールモジュールは、メモリモジュールの各種ステータスを読み出して保持し、メモリモジュールの状態を管理する機能を有することを特徴とする請求項 1記載の記憶装置。

りを用いた記憶装置に関する。

【0002】

【従来の技術】一般に、フラッシュメモリは、電氣的に消去、書き込みが可能で不揮発性メモリであり、これを用いた補助記憶装置が多数開発されてきた。フラッシュメモリは、構造上、フラッシュメモリ内のメモリのセルの充放電に時間がかかるため、フラッシュメモリへの書き込み速度が低速となる。一方、データの読み出しに関しては、2値のフラッシュメモリの場合、メモリのセルの値の検出方法がSRAM等の揮発性半導体メモリと同様である。この2値のメモリのセルの読み出し方法は、1つのセンスアンプで閾値とメモリのセルの値との比較を行うというものである。データの読み出し速度は高速である。

【0003】しかし、フラッシュメモリの大容量化を進めていくためには、フラッシュメモリの多値化が必要である。多値化とは、メモリのセルの電荷量の変化を4段階以上にすることにより、1つのメモリのセルに2ビット以上を表現させることである。多値のフラッシュメモリは、メモリのセルの値が4値以上になるため、メモリのセルの値を検出するために複数の閾値を設定して比較を行う必要がある。通常、複数の閾値とメモリのセルの値とを同時に比較することは難しいので、何段階かに分けて順次比較を行っている。従って、この場合のデータの読み出し速度はSRAM等と比較して低速となってしまふ。

【0004】前述したようなフラッシュメモリの動作速度が低速であることを補うため、フラッシュメモリを用いた補助記憶装置は、バッファメモリ（以下、単にバッファという）を搭載するのが一般的である。しかし、バッファには、過去のアクセスにより読み出したデータが保存されるだけであるので、今までアクセスされなかった領域のデータ転送要求がきた場合、その都度フラッシュメモリより読み出しが行われることになる。

【0005】このようなバッファを備えた従来技術として、例えば、特開平6-124175号公報等に記載された技術が知られている。この従来技術は、フラッシュメモリ自体を2群以上のフラッシュメモリ・アレイ（メモリモジュール）に分けて操作するというものである。しかし、この従来技術のものは、バッファとメモリモジュール全体とがインターフェースを介して1系統で接続されているため、補助記憶装置のデータ転送速度が、読み出し、書き込み共にフラッシュメモリ自体の動作速度程度にまで低下してしまうものである。

【0006】

【発明が解決しようとする課題】前述した従来技術は、メモリモジュールにフラッシュメモリとその制御回路のみしか搭載されていないため、メモリモジュールの動作速度が、インターリーブを行ったとしても、搭載されているフラッシュメモリのアクセス速度の数倍程度にしか高速化されないという問題点を有している。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、情報処理装置等の情報機器に使用する記憶装置に係り、特に、半導体ファシリタ記憶装置等を構成するために好適なフラッシュメモ

【0007】また、前述した従来技術は、バッファとフラッシュメモリとの間の接続システムが一元化されていないため、バッファへフラッシュメモリからデータを読み込む際に、バッファへのデータ転送の高速化を行うことができない。バッファ内にホストシステムが要求するデータが存在しない場合、ホストシステムへのデータ転送がフラッシュメモリのアクセス速度にまで低下してしまうという問題点を有している。

【0008】また、前述した従来技術は、ホストシステムが以前にアクセスしてきたデータしかバッファに存在しないため、新たにホストシステムがアクセスしてくるデータを、常にメモリモジュールからその都度読み出さなければならないという問題点を有している。

【0009】さらに、前述の従来技術は、メモリモジュールとメモリモジュールを制御する回路（コントロールモジュール）が1系統でしか接続されていないため、複数のメモリモジュールに並列にアクセスすることができず、高速化を図ることが困難であるという問題点を有している。

【0010】本発明の目的は、前述した従来技術の問題点を解決し、メモリモジュール内にバッファを設け、フラッシュメモリへの書き込みおよび読み出しデータを一時的にバッファに保存しておくことにより、メモリモジュールに対するデータの入出力を高速化することのできる記憶装置を提供することにある。

【0011】本発明の他の目的は、バッファとフラッシュメモリとの間を複数系統で接続することにより、フラッシュメモリからのデータの入出力を並列化して、バッファとフラッシュメモリとの間のデータの転送を高速化することのできる記憶装置を提供することにある。

【0012】また、本発明の他の目的は、ホストシステムがアクセスしてきたデータの位置を記録しておき、ホストシステムがアクセスしていない間にバッファに後続するデータを先読みさせておくことにより、以後、ホストシステムがデータを読み出そうとした場合に、要求するデータがバッファ内に存在する確率を上げさせ、結果として、データの読み出し転送速度を向上させることのできる記憶装置を提供することにある。

【0013】さらに、本発明の他の目的は、コントロールモジュールとメモリモジュールとの間を複数系統で接続することにより、複数のメモリモジュールに並列に異なった指示を与えることができるようにし、これにより、アクセス速度の向上及びメモリモジュールの制御を効率的に行うことを可能にした記憶装置を提供することにある。

【0014】

【課題を解決するための手段】本発明によれば前記目的は、フラッシュメモリを使用して構成される記憶装置において、複数のフラッシュメモリ及びデータを一時的に保持するための揮発性メモリを用いたバッファ1個から

構成されるメモリモジュールと、該メモリモジュールの複数個及びそれらを制御するためのコントロールモジュール1個とから構成したことにより、また、前記メモリモジュールに、フラッシュメモリから予め次に読み込まれると予測されるデータを読み出し、バッファへ転送する先読みを行う手段を設けたことにより達成される。

【0015】また、前記目的は、前記複数のフラッシュメモリとバッファとを、複数系統のデータバス及び信号バスにより接続し、前記複数のフラッシュメモリが、並列に動作してバッファとの間でデータの授受を行うことにより、また、前記コントロールモジュールと複数のメモリモジュールとを、複数系統のデータバス及び信号バスにより接続し、前記複数のメモリモジュールが、並列に動作してコントロールモジュールとの間でデータの授受を行うことにより達成される。

【0016】また、前記目的は、コントロールモジュールからメモリモジュールにデータの読み出し要求があった場合、前記メモリモジュールが、要求されているデータがメモリモジュールのバッファに存在するかどうかを判定し、存在すればバッファ内のデータを転送し、そうでなければフラッシュメモリからデータを読み出して転送することにより、また、前記メモリモジュールが、フラッシュメモリからデータを読み出してコントロールモジュールに転送した後、後続するデータの先読みすることにより達成される。

【0017】さらに、前記目的は、コントロールモジュールからメモリモジュールにデータの書き込み要求があった場合、前記メモリモジュールが、メモリモジュール内のバッファに書き込みデータを保存するための領域を確保し、バッファ内に書き込みデータを一時的に保存し、その後、バッファ内に書き込んだデータをフラッシュメモリへ書き込むことにより、また、コントロールモジュールが、メモリモジュールの各種ステータスを読み出して保持し、メモリモジュールの状態を管理する機能を有することにより達成される。

【0018】

【発明の実施の形態】以下、本発明による記憶装置の一実施形態を図面により詳細に説明する。

【0019】図1は本発明の一実施形態による記憶装置を用いた情報機器システムの構成を示すブロック図、図2は図1に示すコントロールモジュールの構成を示すブロック図、図3は図1に示すメモリモジュールの構成を示すブロック図、図4は図2に示すコントロールモジュール、メモリモジュール間のデータ転送を説明するバスタイミングチャート、図5は図3に示すバッファ、フラッシュメモリ間のデータ転送を説明するバスタイミングチャート、図6は図3に示すメモリモジュールの待機時の動作を説明するフローチャートである。図1～図3において、1はコントロールモジュール、2はフラッシュメモリ、3はバッファ、4はメモリモジュール、5は補

補助記憶装置、6はホストシステム、7はホスト補助記憶装置間バス、8はコントローラモジュールメモリモジュール間バス、9はバッファフラッシュメモリ間バス、201はホストインタフェース、202はコントロールシーケンサ、203はメモリモジュールステータスレジスタ、204、306はアドレスデコーダ、205、307はシリアルクロックジェネレータ、206、302、305はマルチプレクサ、207、222、329、333はデータバス、301はバッファコントロールシーケンサ、303はアドレスバッファレジスタ、304はアドレス比較回路、308はECC回路、309はSDRAM、310は先読みカウンタ、328はコマンドバス、330はアドレスバスである。

【0020】本発明の実施形態による記憶装置（以下に説明する実施形態では補助記憶装置と記す）を用いて構成される情報機器システムは、図1に示すように、複数のメモリモジュール4と、それを制御するコントローラモジュール1とをコントローラモジュールメモリモジュール間バス（以下、単にバスという）8により接続されるホストシステム6とにより構成される。補助記憶装置5とホストシステム6とは、このバス7を通してデータの送受を行う。

【0021】補助記憶装置5において、コントローラモジュール1とメモリモジュール4とは、バス8を介してデータの送受を行う。そして、メモリモジュール4は、複数のフラッシュメモリ2とバッファ3とをバッファフラッシュメモリ間バス（以下、単にバスという）9により接続して構成されている。フラッシュメモリ2とバッファ3とは、バス9を介してデータの送受を行う。

【0022】補助記憶装置5はホストシステム6とバス7で接続されており、このバス7を通してホストシステム6とデータの送受を行う。

【0023】コントローラモジュール1は、その詳細な構成を図2に示すように、ホストインタフェース201と、コントロールシーケンサ202と、メモリモジュールステータスレジスタ203と、アドレスデコーダ204と、シリアルクロックジェネレータ205と、マルチプレクサ206と、ホストインタフェース201からのデータを他の前述した機器に転送するデータバス207等を主要な構成機器として含んで構成されている。

【0024】すでに説明したように、ホストシステム6と補助記憶装置5とは、バス7により接続されており、このバス7は、補助記憶装置5の内部でコントローラモジュール1のホストインタフェース201と接続されている。ホストインタフェース201は、ホストシステム6とコントローラモジュール1内の他の機器との間に入り、データの入出力を制御すると共に、ホストシステム6からのデータと制御信号等の信号とを分離し、制

御信号をコントロールシーケンサ202に伝える。コントロールシーケンサ202は、コントローラモジュール1内の他の機器及びメモリモジュール4を制御する。

【0025】メモリモジュールステータスレジスタ203は、コントローラモジュール1に接続されているメモリモジュール4のステータス情報を保持し、必要に応じてコントロールシーケンサ202にメモリモジュール4のステータス情報を転送する。アドレスデコーダ204は、データバス207を介してホストインタフェース201及びコントロールシーケンサ202からアドレスデータを受け取り、そのアドレスデータをメモリモジュール4を選択するためのMSEL信号221にデコードし、コントロールシーケンサ202からの指示によりメモリモジュール4の選択を行う。

【0026】シリアルクロックジェネレータ205は、メモリモジュール4とコントローラモジュール1とがデータの送受を行うときに使用するデータ転送用のクロック信号を生成する。マルチプレクサ206は、複数のメモリモジュール4のそれぞれに接続されている複数のデータバス222をコントローラモジュール1内のデータバス207に接続するために使用される。各メモリモジュール4には、数十セクタ単位でインタリーブを行うことが可能なようにアドレスが割り当てられている。

【0027】メモリモジュール4は、その詳細な構成を図3に示すように、バッファコントロールシーケンサ301と、マルチプレクサ302、305と、アドレスバッファレジスタ303と、アドレス比較回路304と、アドレスデコーダ306と、シリアルクロックジェネレータ307と、ECC回路308と、SDRAM309と、先読みカウンタ310と、これらの構成機器間でのデータの転送、アドレスデータの転送、コマンドの転送等のためのデータバス329、アドレスバス330、コマンドバス328とを主要な構成機器として含んで構成されるバッファ3、及び、データバス333を介してバッファ3に接続される複数のフラッシュメモリ2を備えて構成されている。

【0028】前述のように構成されるメモリモジュール4において、コントローラモジュール1からの制御信号は、バッファコントロールシーケンサ301で処理される。また、データバス222は、マルチプレクサ302に接続されており、バッファコントロールシーケンサ301によって制御され、転送されてきたデータ系列からコマンドとデータを分離し、コマンドをバッファコントロールシーケンサ301に転送する。

【0029】SDRAM309は、複数のフラッシュメモリ2及びコントローラモジュール1を経由してホストシステム6から読み込んだデータを一時的に保存するために使用される。アドレスバッファレジスタ303は、過去にアクセスされたアドレス情報を複数個記録すると共に、SDRAM309に記録されているデータのアド

レスと実際のアドレスとの変換テーブルの役割も果たす。そして、このアドレスバッファレジスタ303は、バッファコントロールシーケンサ301によって制御され、必要に応じてアドレス情報を他の機器に転送する。

【0030】アドレス比較回路304は、アドレスバッファレジスタ303の内容とコントローラモジュール1から転送されてきたアドレス情報とを比較判定して、バッファコントロールシーケンサ301にその結果を知らせる。マルチプレクサ305は、バッファ3内のデータバス329とフラッシュメモリ2を接続しているデータバス333との接続を切り替えるために使用される。

【0031】アドレスデコーダ306は、アドレス情報からそのアドレスに対応するフラッシュメモリ2を選択するための信号を生成する。シリアルクロックジェネレータ307は、フラッシュメモリ2へのアクセスのためのシリアルクロックを生成する。ECC回路308は、フラッシュメモリ2から読み込んだデータのエラー訂正を行う。先読みカウンタ310は、フラッシュメモリ2からデータの先読みを行う際に、現在読み込んでいるアドレスとデータ数とをカウントするために使用される。

【0032】次に、前述したように構成される補助記憶装置5のホストシステム6からのコマンドに対する動作を説明する。

【0033】ホストシステム6は、バス7を介して補助記憶装置5に対してコマンドを発行する。このとき、コントローラモジュール1内のホストインターフェース201は、ホストシステム6からのコマンドを制御信号208としてコントロールシーケンサ202に伝える。コントロールシーケンサ202は、コマンドに応じた処理を行い、応答が要求されている場合、データバス207に応答データを出力する。そして、コントロールシーケンサ202は、ホストインターフェース201を制御してデータバス207とバス7とを接続してホストシステム6に応答を返す。

【0034】次に、コントローラモジュール1からメモリモジュール4へのコマンドの発行について説明する。

【0035】コントロールシーケンサ202は、メモリモジュール4へのコマンドの発行に際して、コマンドを発行するメモリモジュール4のステータスをチェックするため、アドレス信号216とR0E信号218とをメモリモジュールステータスレジスタ203に出力する。メモリモジュールステータスレジスタ203は、指定されたメモリモジュール4のステータス情報をデータバス207に出力する。コントロールシーケンサ202は、このステータス情報をチェックし、コマンドの発行が可能であれば、データバス207にコマンドを発行するメモリモジュール4のアドレスデータを出力する。

【0036】アドレスデコーダ204は、コントロールシーケンサ202がSET信号215を出力すると、このアドレスデータを取り込み、メモリモジュール4を選

択するMSEL信号221を出力する。次に、コントロールシーケンサ202は、メモリモジュール4に発行するコマンドをデータバス207に乗せ、その後、セレクト信号209を発行してマルチプレクサ206を制御し、データバス222を切り替え、メモリモジュール4に対してコマンドを発行する。

【0037】このコマンド発行時のコントロールモジュール1とメモリモジュール4との間のバスタイミングを図4(a)に示しており、以下、これについて説明する。

【0038】MSEL信号221を立ち上げると、メモリモジュール4が選択された状態になる。メモリモジュール4は、バッファコントロールシーケンサ301がMSEL信号221の立ち上がりにより、内部処理を中断し待機状態とされる。次に、MWE信号211が立ち上がると、バッファコントロールシーケンサ301は、セレクト信号311をマルチプレクサ302に発行し、データバス222とコマンドバス328とを接続させ、MR/B信号212を立ち下げる。MR/B信号212の立ち下がりを確認したコントロールシーケンサ202は、データバス222にコマンドを出し、シリアルクロックジェネレータ205を制御して、MSC信号220を出力する。

【0039】バッファコントロールシーケンサ301は、MSC信号220の立ち下がり、コマンドバス328上のコマンドを取り込み、セレクト信号311をマルチプレクサ302に発行して、データバス222とデータバス329とを接続させる。

【0040】コントローラモジュール1は、同様の手順により、データ数とコマンドに付随するデータをデータバス222に出し、MSC信号220を出力する。これらのデータは、データバス329に出力される。バッファコントロールシーケンサ301は、これらのデータを取り込むと共に、関連するメモリモジュール4を制御し、これらのデータを取り込ませコマンド実行の準備を行う。コマンドとそれに付随するデータの転送が終了すると、バッファコントロールシーケンサ301は、残りの処理を行い処理が完了すると、MR/B信号212を立ち上げる。

【0041】これにより、コントロールシーケンサ202は、MWE信号211を立ち下げ、アドレスデコーダ204は、MSEL信号221を立ち下げる。この結果を受けて、バッファコントロールシーケンサ301は、マルチプレクサ302を制御し、データバス222とデータバス329との接続を切り離す。以上により、コマンドの転送が終了する。

【0042】次に、ホストシステム6からの読み出し要求に対する補助記憶装置5の動作を説明する。

【0043】ホストシステム6がバス7を介して補助記憶装置5にデータの読み出し要求を出す。このとき、コ

ントローラモジュール1内のホストインターフェース201は、ホストシステム6からの読み出し要求を制御信号208としてコントロールシーケンサ202に伝える。コントロールシーケンサ202は、読み出し要求を確認すると、ホストインターフェース201を制御して、ホストシステム6からバス7を介して転送されてきた情報をデータバス207に乗せる。これらの情報は、一旦、コントロールシーケンサ202に取り込まれる。コントロールシーケンサ202は、ホストシステム6から受け取った情報に基づいて、データを読み出すメモリモジュール4のアドレスを計算し、アドレス信号216とROE信号218とをメモリモジュールステータスレジスタ203に出力する。

【0044】メモリモジュールステータスレジスタ203は、指定されたメモリモジュール4のステータス情報をデータバス207に出力する。コントロールシーケンサ202は、このステータス情報をチェックし、データを読み出すべきメモリモジュール4を選択し、次に、データバス207にアドレスデータを出力する。アドレスデコーダ204は、コントロールシーケンサ202がSET信号215を出力することにより、このアドレスデータを取り込み、メモリモジュール4を選択するMSEL信号221を出力しメモリモジュール4を選択する。

【0045】コントロールシーケンサ202は、メモリモジュール4に対して、前述したコマンド発行手順により読み込み要求コマンドを発行する。このとき、メモリモジュール4に転送されてきたアドレス情報は、アドレスバッファレジスタ303内の情報とアドレス比較回路304により比較され、一致するアドレスがあるか否かがチェックされる。このチェックで一致が得られれば、アドレス比較回路304は、H/M信号315を立ち上げて、ヒットしたことをバッファコントロールシーケンサ301に伝える。このとき、ホストシステム6が要求するデータは、SDRAM309に保存されているので、バッファコントロールシーケンサ301は、MR/B信号212を立ち上げる。前述のチェックで一致が得られず、ヒットしなかった場合、アドレスバッファレジスタ303にこのアドレスを保存し、フラッシュメモリ2よりデータを読み出さなければならない。

【0046】そのため、バッファコントロールシーケンサ301は、後述するフラッシュメモリ2からのデータ読み出し手順に基づいて、フラッシュメモリ2をデータバス329に接続し、MR/B信号212を立ち上げる。コントロールシーケンサ202は、MR/B信号212を確認すると、ホストインターフェース201に制御信号208を発行してホストインターフェース201を制御し、バス7とバス207とを接続してデータ転送を可能とする。これにより、メモリモジュール4から出力されるデータが直接ホストシステム6に転送可能となる。

【0047】前述したメモリモジュール4からのデータ読み出し時のバスタイミングを図4(b)に示しており、以下、これについて説明する。

【0048】図4(b)に示すように、コントロールシーケンサ202がMSEL信号221を立ち上げると、メモリモジュール4内のバッファコントロールシーケンサ301がセレクト信号311をマルチプレクサ302に発行し、データバス222とデータバス329とを接続させる。次に、コントロールシーケンサ202がMOE信号210を立ち上げると、バッファコントロールシーケンサ301は、前述したヒットか否かの判定に基づいて、ヒットした場合、SDRAM309を制御し、要求されているデータの先頭データをデータバス222に乗せる。また、ヒットしていなかった場合、バッファコントロールシーケンサ301は、フラッシュメモリ2からデータを読み出して、データバス222に出力すると同時に、SDRAM309に対してそのデータの書き込みを行う。その後、バッファコントロールシーケンサ301は、MR/B信号212を立ち下げる。

【0049】MR/B信号212の立ち下がりを確認したコントロールシーケンサ202は、シリアルクロックジェネレータ205を制御し、MSC信号220を出力する。コントロールモジュール1は、MSC信号220の立ち下がりで、メモリモジュール4から転送されてきたデータを取り込み、ホストシステム6へ転送する。また、バッファコントロールシーケンサ301は、MSC信号220の立ち下がりで、SDRAM309あるいはフラッシュメモリ2からデータを読み出して、そのデータをデータバス222へ出力する。全てのデータが転送されると、バッファコントロールシーケンサ301は、MR/B信号212を立ち上げる。コントロールシーケンサ202は、MR/B信号212の立ち上がりを確認すると、MOE信号210を立ち下げる。バッファコントロールシーケンサ301は、MOE信号210の立ち下がりを確認すると、マルチプレクサ302を制御し、データバス222とデータバス329との接続を切り離す。最後に、コントロールシーケンサ202は、MSEL信号221を立ち下げ、メモリモジュール4の選択を解除してデータの読み出し処理を終了する。

【0050】ホストシステム6が要求するデータ量が多い場合、メモリモジュール4へのアドレスの割り当てが数十セクタ単位のインタリーブになっているので、複数のメモリモジュール4からデータを読み出すことになる。この場合、図示本発明の実施形態は、各メモリモジュール4毎にバス及び制御線が完全に独立していることで、それぞれのメモリモジュール4を並列に制御することができる。また、データ転送に関しては、マルチプレクサ206を制御して、データバス222とデータバス207とを交互に接続することによりインタリーブを行う。このようにして読み出されたデータがホストシス

テム 6 に転送される。

【0051】次に、ホストシステム 6 からのデータの書き込み要求に対する補助記憶装置 5 の動作を説明する。

【0052】ホストシステム 6 は、バス 7 を介して補助記憶装置 5 にデータの書き込み要求を出す。このとき、コントロールモジュール 1 内のホストインターフェース 201 は、ホストシステム 6 からの書き込み要求を制御信号 208 としてコントロールシーケンサ 202 に伝える。コントロールシーケンサ 202 は、データの書き込み要求を確認すると、ホストインターフェース 201 を制御して、ホストシステム 6 からバス 7 を介して転送されてきた情報をデータバス 207 に乗せる。これらの情報は、一旦、コントロールシーケンサ 202 に取り込まれる。

【0053】コントロールシーケンサ 202 は、ホストシステム 6 から受け取った情報に基づいて、データを書き込むメモリモジュール 4 のアドレスを計算し、アドレス信号 216 と ROE 信号 218 とをメモリモジュール 4 のステータスレジスタ 203 に出力する。メモリモジュール 4 のステータスレジスタ 203 は、指定されたメモリモジュール 4 のステータス情報をデータバス 207 に出力する。コントロールシーケンサ 202 は、このステータス情報をチェックし、データを書き込むべきメモリモジュール 4 を選択する。

【0054】次に、コントロールシーケンサ 202 は、データバス 207 にアドレスデータを出力する。アドレスデータ 204 は、コントロールシーケンサ 202 が SET 信号 215 を出力することにより、このアドレスデータを取り込み、メモリモジュール 4 を選択する MSEL 信号 221 を出力してメモリモジュール 4 を選択する。コントロールシーケンサ 202 は、メモリモジュール 4 に前述ですでに説明したコマンド発行手順により、書き込み要求コマンドをメモリモジュール 4 に発行する。

【0055】メモリモジュール 4 は、バッファコントロールシーケンサ 301 が、転送されてきた書き込み先アドレス情報をアドレスバッファレジスタ 303 に保存する。そして、バッファコントロールシーケンサ 301 は、書き込むデータ数に関する情報に基づいて、SDRAM 309 内の一番古いデータを破棄し、書き込まれるデータを保存する領域を確保して、MR/B 信号 212 を立ち上げる。コントロールシーケンサ 202 は、この MR/B 信号 212 を確認すると、ホストインターフェース 201 に制御信号 208 を発行してホストインターフェース 201 を制御し、バス 7 とバス 207 とを接続してデータ転送を可能にする。これにより、ホストシステム 6 から転送されてくるデータをメモリモジュール 4 に転送することが可能となる。

【0056】前述したメモリモジュール 4 へのデータの書き込み時のバスタイミングを図 4 (c) に示しており、

以下、これについて説明する。

【0057】図 4 (c) に示すように、コントロールシーケンサ 202 が MSEL 信号 221 を立ち上げると、メモリモジュール 4 内のバッファコントロールシーケンサ 301 は、セレクト信号 311 をマルチプレクサ 302 に発行し、データバス 222 とデータバス 329 とを接続させる。次に、コントロールシーケンサ 202 が MWE 信号 211 を立ち上げると、バッファコントロールシーケンサ 301 は、SDRAM 309 に書き込むデータの先頭アドレスを出力し、MR/B 信号 212 を立ち下げる。

【0058】コントロールシーケンサ 202 は、ホストインターフェース 201 を制御し、ホストシステム 6 からの書き込みデータをデータバス 222 に出力させる。次に、コントロールシーケンサ 202 は、シリアルクロックジェネレータ 307 を制御し、MSC 信号 220 を出力させる。MSC 信号 220 の立ち上がりで、バッファコントロールシーケンサ 301 は、データをデータバス 329 に取り込み、SDRAM 309 に書き込む。バッファコントロールシーケンサ 301 は、シリアルクロックジェネレータ 307 を制御し、MSC 信号 220 を立ち下げる。これにより、コントロールシーケンサ 202 は、ホストインターフェース 201 を制御し、ホストシステム 6 から次のデータを受け取る。

【0059】同様な手順により、メモリモジュール 4 に書き込むデータの全てが転送される。メモリモジュール 4 がすべてのデータを受け取ると、バッファコントロールシーケンサ 301 は、MR/B 信号 212 を立ち上げる。コントロールシーケンサ 202 はこれを確認すると、MWE 信号 211 を立ち上げる。バッファコントロールシーケンサ 301 は、MWE 信号 211 の立ち上がりを確認すると、マルチプレクサ 302 を制御してデータバス 222 とデータバス 329 との接続を切り離す。最後に、コントロールシーケンサ 202 は、MSEL 信号 221 を立ち下げ、メモリモジュール 4 の選択を解除してデータの書き込み処理を終了する。

【0060】書き込むデータ数が多い場合、書き込みが複数のメモリモジュール 4 に対して行われることになる。図示本発明の実施形態は、メモリモジュール 4 に対する制御線が互いに独立しているため、書き込みの対象になるメモリモジュール 4 を並列に制御することができ、この場合のデータの書き込みに関しては、読み出しの場合と同様に、データバス 207 に対してデータバス 222 を交互に接続して、インターリーブを行い複数のメモリモジュール 4 に対して書き込みが行われる。

【0061】次に、ホストシステム 6 からのアドレスがない場合の補助記憶装置 5 の動作を説明する。補助記憶装置 5 にホストシステム 6 からアクセスがない場合、補助記憶装置 5 のコントロールシーケンサ 202 は、メモリモジュール 4 からステータス情報を読み出し、メモリ

モジュールステータスレジスタ203を更新する。

【0062】この動作のため、コントロールシーケンサ202は、ステータス情報を取り出したメモリモジュール4のアドレス情報をデータバス207に搬送、SEI信号215を発行してアドレスデコーダ204にアドレス情報を取り込ませる。次に、コントロールシーケンサ202は、マルチプレクサ206にセレクト信号209を発行して、ステータス情報を取り出すメモリモジュール4のデータバス222とデータバス207とを接続させる。ステータス情報取り出し時のメモリモジュールのバスタイミングは、前述で説明した図4(b)のメモリモジュール4からのデータの読み出しの場合と同様である。このとき転送されてくるステータス情報は、コントロールシーケンサ202が、アドレス信号216とRWE信号219とを出力すると、メモリモジュールステータスレジスタ203に取り込まれる。以上の手順は、コントロールモジュール1に接続されているすべてのメモリモジュール4のステータスデータを読み込むまで行われる。

【0063】次に、バッファ3がフラッシュメモリ2へコマンドを発行する場合の動作を説明する。

【0064】バッファコントロールシーケンサ301は、セレクト信号316をマルチプレクサ305に発行して、コマンドを発行するフラッシュメモリ2と接続されているデータバス333とデータバス329とを接続させる。

【0065】このバッファ3がフラッシュメモリ2へコマンドを発行するときのバスタイミングを図5(a)に示しており、以下、これについて説明する。

【0066】バッファコントロールシーケンサ301は、データバス329に、コマンドを発行したいフラッシュメモリ2のアドレスデータを出力し、セレクト信号317をアドレスデコーダ306に発行する。アドレスデコーダ306は、このアドレスデータとセレクト信号317とによる計算を行い、コマンドを発行したいフラッシュメモリ2のFSEL信号331を立ち上げる。バッファコントロールシーケンサ301がFWE信号319を立ち上げると、指定されたフラッシュメモリ2は、コマンドを受け付けるモードになり、FR/B信号318を立ち下げる。バッファコントロールシーケンサ301は、コマンドをデータバス329に出力し、シリアルクロックジェネレータ307を制御してFSC信号332を出力させる。

【0067】フラッシュメモリ2は、FSC信号332の立ち上がりで、コマンドを取り込む。同様な手順で、コマンドに付随して送付されるデータ数、データが転送される。全てのデータ転送が終了すると、フラッシュメモリ2は、FR/B信号318を立ち上げる。バッファコントロールシーケンサ301は、これを確認すると、FWE信号319を立ち下げ、セレクト信号317をア

ドレスデコーダ306に出力してFSEL信号331を立ち下げ、フラッシュメモリ2の選択を解除して、フラッシュメモリ2へのコマンドの発行の処理を終了する。

【0068】次に、バッファ3がフラッシュメモリ2からデータを読み出す場合の動作について説明する。

【0069】バッファコントロールシーケンサ301は、セレクト信号316をマルチプレクサ305に発行して、データを読み出すフラッシュメモリ2に接続されているデータバス333とデータバス329とを接続させる。フラッシュメモリ2からのデータの読み出しコマンドを、前述したコマンド発行手順に従ってフラッシュメモリ2へ発行する。

【0070】コマンド転送後のバッファ3へフラッシュメモリ2からデータを転送するときのバスタイミングを図5(b)に示しており、以下、これについて説明する。

【0071】アドレスデコーダ306は、コマンドを発行したいフラッシュメモリ2のFSEL信号331を立ち上げる。バッファコントロールシーケンサ301は、FOE信号320を立ち上げる。これにより、フラッシュメモリ2は、データを読み出すモードとなり、FR/B信号318を立ち下げて、最初のデータを読み出す。バッファコントロールシーケンサ301は、シリアルクロックジェネレータ307を制御してFSC信号332を出力させる。FSC信号332の立ち上がりで、データは、データバス329に取り込まれる。バッファコントロールシーケンサ301は、SDRAM309に対して、アドレス330とSWE信号325とを出力して、データバス329上のデータを読み込ませる。

【0072】フラッシュメモリ2は、FSC信号332が完全に立ち下がると、次のデータを読み出すので、前述したと同様な手順でデータがSDRAM309に転送される。全てのデータが転送されると、フラッシュメモリ2が、FR/B318信号が立ち上がるので、バッファコントロールシーケンサ301は、FOE信号320を立ち下げ、シリアルクロックジェネレータ307に指示を出して、FSC信号332を立ち下げフラッシュメモリ2の選択を解除する。

【0073】次に、バッファ3がフラッシュメモリ2へデータを書き込む場合の動作について説明する。

【0074】バッファコントロールシーケンサ301は、セレクト信号316をマルチプレクサ305に発行して、データを書き込むフラッシュメモリ2に接続されているデータバス333とデータバス329とを接続させる。フラッシュメモリ2へのデータの書き込みコマンドを、前述で説明したコマンド発行手順によりフラッシュメモリ2へ発行する。

【0075】コマンド転送後、バッファ3がフラッシュメモリ2へデータを書き込むときのバスタイミングを図5(c)に示しており、以下、これについて説明する。

【0076】バッファコントロールシーケンサ301は、アドレスバッファレジスタ303を操作し、データバス329にデータを書き込みたいフラッシュメモリ2のアドレスデータを出力し、セレクト信号317をアドレスデコーダ306に発行する。アドレスデコーダ306は、このアドレスデータとセレクト信号317とによる計算を行い、データを書き込みたいフラッシュメモリ2に対するFSEL信号331を立ち上げる。バッファコントロールシーケンサ301がFWE信号319を立ち上げると、フラッシュメモリ2は、データを受け付けるモードとなり、FR/B信号318を立ち下げる。バッファコントロールシーケンサ301は、SDRAM309に、アドレス330とSOE信号324を発行する。

【0077】SDRAM309は、データをデータバス329に出力し、SR/B信号323をバッファコントロールシーケンサ301へ出力する。バッファコントロールシーケンサ301は、シリアルクロックジェネレータ307を制御しFSC信号332を出力させる。フラッシュメモリ2は、FSC信号332の立ち下がり、データを取り込む。同様な手順により、SDRAM309からフラッシュメモリ2へデータの転送が行われる。全てのデータ転送が終了すると、フラッシュメモリ2は、FR/B信号318を立ち上げる。バッファコントロールシーケンサ301は、これを確認すると、FWE信号319を立ち下げ、セレクト信号317をアドレスデコーダ306に出力してFSEL信号331を立ち下げ、フラッシュメモリ2の選択を解除する。

【0078】次に、バッファ3がフラッシュメモリ2からステータスデータを読み出す場合の動作について説明する。

【0079】バッファコントロールシーケンサ301は、セレクト信号316をマルチプレクサ305に発行して、データを読み出すフラッシュメモリ2に接続されているデータバス333とデータバス329とを接続させる。ステータスデータを読み出しは、データの読み出しの場合と同様に、図5(b)により説明した手順により、バッファ3へフラッシュメモリ2からステータスデータを読み出すことにより行われる。

【0080】メモリモジュール4がコントローラモジュール1からアクセスされていないとき、バッファコントロールシーケンサ301は、図6に示すフローに従ってフラッシュメモリ2へのアクセスを行って内部処理を行う。以下、図6を参照してその処理動作を説明する。

【0081】(1) バッファコントロールシーケンサ301は、アドレスバッファレジスタ303を検索し、SDRAM309内にまたフラッシュメモリ2へ書き込まれていないデータが存在するかどうかをチェックし、フラッシュメモリ2へ書き込まれていないデータが存在した場合、SDRAM309からフラッシュメモリ2へ前述

した書き込み手順に基づいてデータを書き込んで処理を終了する(ステップ601、608)。

【0082】(2) ステップ601のチェックで、フラッシュメモリ2へ書き込まれていないデータが存在しなかった場合、バッファコントロールシーケンサ301は、アドレスバッファレジスタ303を参照し、SDRAM309に先読みを行うための空き領域があるかどうかをチェックし、空き領域がなかった場合、何もせずに処理を終了する(ステップ602)。

【0083】(3) ステップ602のチェックで、SDRAM309に空き領域があった場合、最後にコントローラモジュール1よりアクセスされたアドレスの次のアドレスを先読みカウンタ310にセットする(ステップ603)。

【0084】(4) そして、先読みカウンタ310にセットしたアドレスのデータを、前述の読み出し手順を使用してフラッシュメモリ2から読み出し、そのデータをSDRAM309に転送する(ステップ604、605)。

【0085】(5) ステップ605でのデータの転送後、先読みカウンタ310をインクリメントし、アドレスバッファレジスタ303を更新する。そして、SDRAM309に空き領域あるかどうかをチェックし、空き領域があれば、ステップ604からの処理を繰り返し実行し、空き領域がなくなれば、先読みの処理を停止する(ステップ606、607)。

【0086】前述したデータの先読みの処理において、データバス329のデータ幅がデータバス333のデータ幅の数倍のデータ幅を有する場合、複数のフラッシュメモリ2から同じにデータを読み出すことができる。

【0087】前述した本発明の実施形態は、メモリモジュールへの書き込みデータを、メモリモジュール内のバッファへ時的に保持するため、同一領域への書き込みなどが連続して発生した場合、最後にバッファに書き込まれたデータのみをフラッシュメモリへ転送すればよい。このため、フラッシュメモリへの書き込み回数を減少させることができ、フラッシュメモリの寿命を延ばすことができる。

【0088】本発明の実施形態は、補助記憶装置を独立した複数のメモリモジュールにより構成し、これらを、コントローラモジュールと複数の系統により接続しているので、個々のメモリモジュールを独立して並列に動作させることができる。そして、それぞれが個別にバッファを備えており、それぞれのバッファに先読み機能が搭載されているので、メモリモジュールのデータの読み出し及び書き込みを共に高速に行うことができる。

【0089】さらに、前述した本発明の実施形態は、コントローラモジュールとメモリモジュールとの信号を規格化することにより、フラッシュメモリやバッファ容量の異なるメモリモジュールを同時に使用するようにす

ることができ、個々のホストシステムに応じた最適な補助記憶装置を構成することが可能である。

【００９０】

【発明の効果】以上説明したように本発明によれば、メモリモジュールに対するデータの入出力を高速化することができ、バッファとフラッシュメモリとの間のデータの転送を高速化することができる。

【００９１】また、本発明によれば、バッファに後続するデータを先読みさせておくことができるため、ホストシステムがデータを読み出そうとした場合に、要求するデータがバッファ内に存在する確率を上昇させ、結果として、データの読み出し転送速度を向上させることができる。記憶装置を提供することにある。

【００９２】さらに、本発明によれば、複数のメモリモジュールに並列に異なった指示を与えることができ、これにより、アクセス速度の向上及びメモリモジュールの制御を効率的に行うことができる。

【図面の簡単な説明】

【図１】本発明の一実施形態による記憶装置を用いた情報機器システムの構成を示すブロック図である。

【図２】図１に示すコントローラモジュールの構成を示すブロック図である。

【図３】図１に示すメモリモジュールの構成を示すブロック図である。

【図４】図２に示すコントローラモジュール、メモリモジュール間のデータ転送を説明するバスタイミングチャートである。

【図５】図３に示すバッファ、フラッシュメモリ間のデ

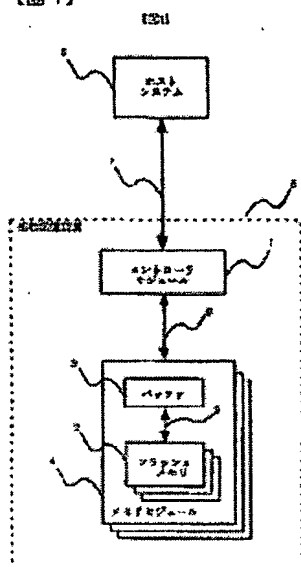
ータ転送を説明するバスタイミングチャートである。

【図６】図３に示すメモリモジュールの待機時の動作を説明するフローチャートである。

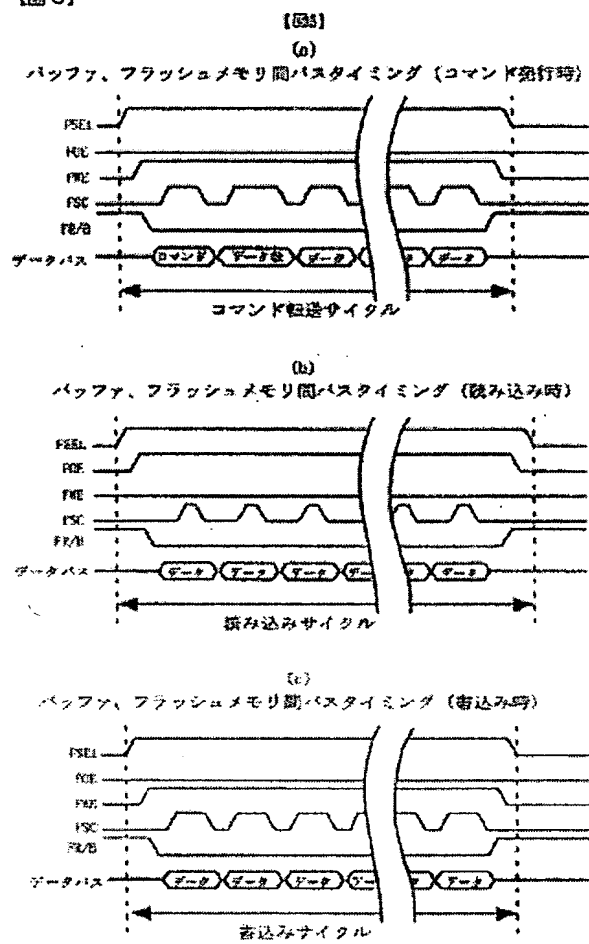
【符号の説明】

- １ コントローラモジュール
- ２ フラッシュメモリ
- ３ バッファ
- ４ メモリモジュール
- ５ 補助記憶装置
- ６ ホストシステム
- ７ ホストー補助記憶装置間バス
- ８ コントローラモジュールーメモリモジュール間バス
- ９ バッファーフラッシュメモリ間バス
- ２０１ ホストインタフェース
- ２０２ コントロールシーケンサ
- ２０３ メモリモジュールステータスレジスタ
- ２０４、３０６ アドレスデコーダ
- ２０５、３０７ シリアルクロックジェネレータ
- ２０６、３０２、３０５ マルチプレクサ
- ２０７、２２２、３２９、３３３ データバス
- ３０１ バッファコントロールシーケンサ
- ３０３ アドレスバッファレジスタ
- ３０４ アドレス比較回路
- ３０８ ECC回路
- ３０９ SDRAM
- ３１０ 先読みカウンタ
- ３２８ コマンドバス
- ３３０ アドレスバス

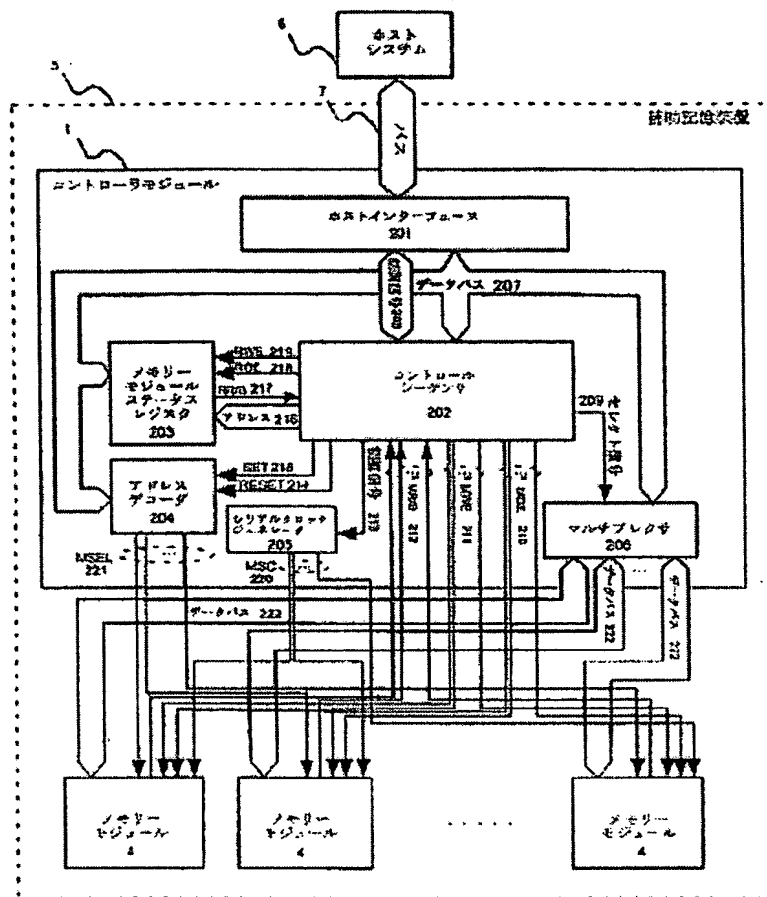
【図 1】



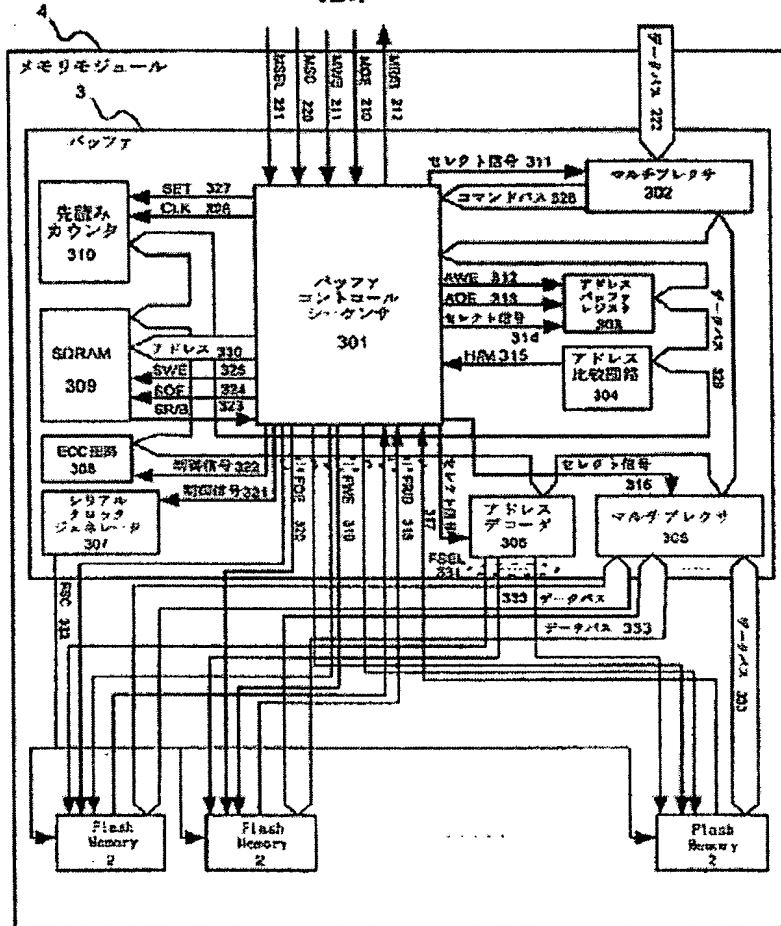
【図 5】



【圖2】



【83】

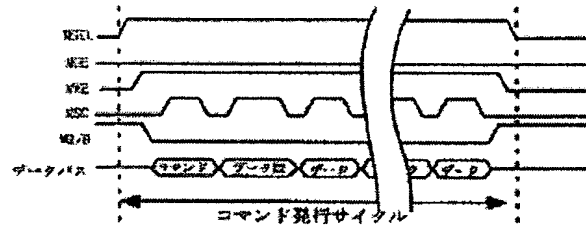


【図 4】

【図 4】

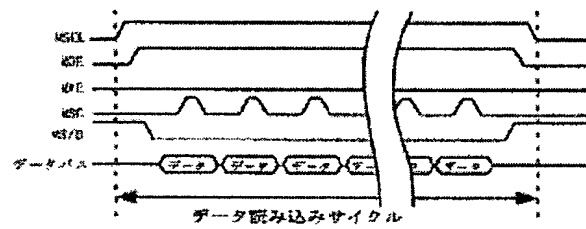
(a)

コントローラモジュール、メモリーモジュール間バスタイミング (コマンド発行時)



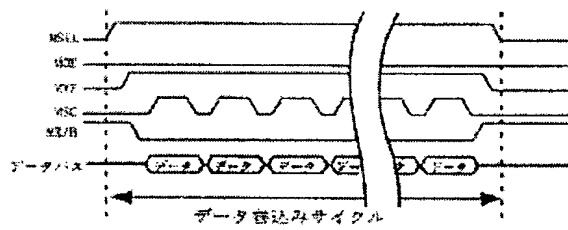
(b)

コントローラモジュール、メモリーモジュール間バスタイミング (データ読み込み時)

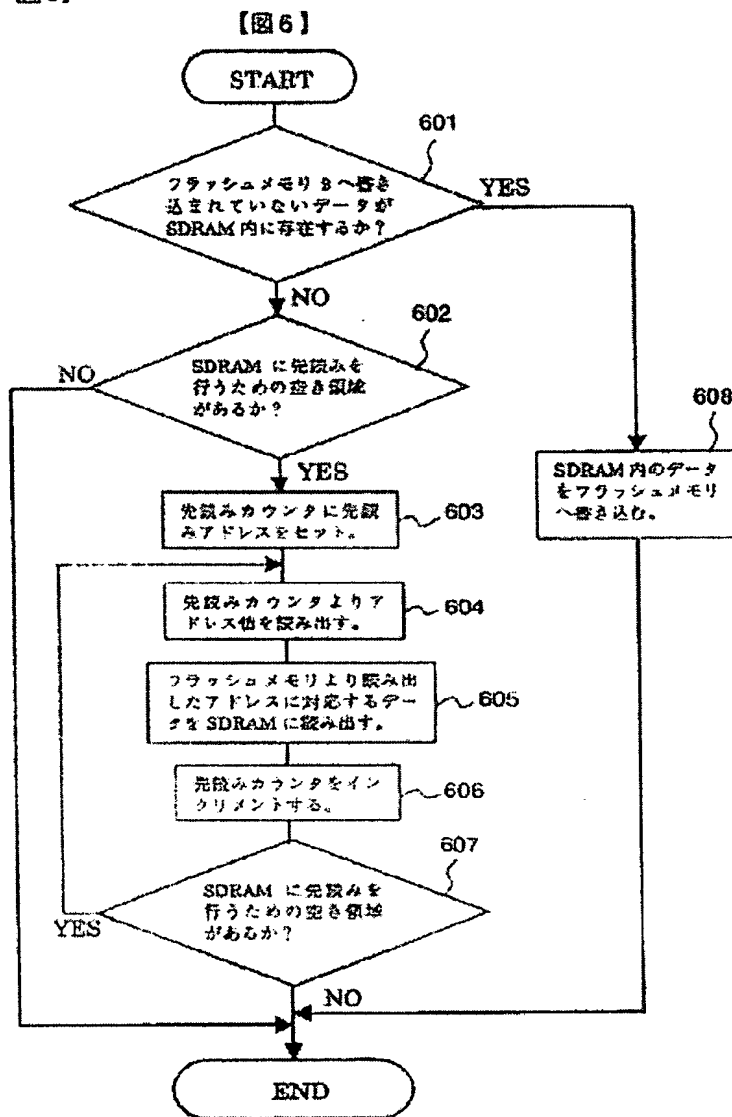


(c)

コントローラモジュール、メモリーモジュール間バスタイミング (データ書き込み時)



【図 6】



フロントページの続き

(51)Int.Cl.

G 0 6 F 12/08

識別記号

F 1
G 0 6 F 12/08

テーマコート" (参考)

U
Q

(72)発明者 片山 国弘

神奈川県川崎市麻生区王禅寺1098番地 株
式会社日立製作所システム開発研究所内

(72)発明者 中村 一男

東京都小平市上水本町五丁目20番1号 株
式会社日立製作所半導体グループ

Fターム (参考) 5B005 JJ11 KK12 LL11 MM21 NN22

NN71

5B060 CA07 CA12 CB01

5B065 BA05 CA07 CA12 CC08 CE12

CH01 CH05 CH13 ZA13